

# VLSI dizajn

Samostalan rad studenata

# VHDL entitet i arhitektura

Savetuje se da studenti implementiraju proizvoljnu komponentu tako što u VHDL jeziku naprave entitet i arhitekturu.

# Prezentacija na relevantnu temu

Ukoliko student ima želju,  
može da izradi prezentaciju na odabranu temu  
iz oblasti računarskog VLSI dizajna